



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Wei-Fan CHEN ) Group Art Unit: 2814  
Serial No.: 09/747,209 )  
Filed: December 22, 2000 ) Examiner: Dana Farahani  
For: "ELECTROSTATIC DISCHARGE ) Our Ref: B-4068 618463-2  
PROTECTION CIRCUIT..." ) Date: November 30, 2004  
)

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant hereby makes a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

| <u>COUNTRY</u> | <u>FILING DATE</u> | <u>SERIAL NUMBER</u> |
|----------------|--------------------|----------------------|
| TAIWAN         | 11 JANUARY 2000    | 089100331            |

A certified copy of each of the above-noted patent applications was filed with the Parent Application No. \_\_\_\_\_.

To support applicant's claim, a certified copy of the above-identified foreign patent application is enclosed herewith.

The priority document will be forwarded to the Patent Office when required or prior to issuance.

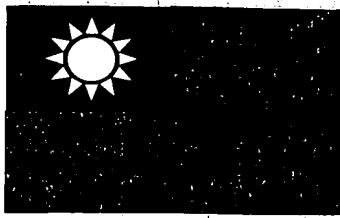
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first-class mail in an envelope addressed to the "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450," on November 30, 2004 by Elizabeth Romero

Elizabeth Romero

Respectfully submitted,

Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300



09.747.209

# 中華民國經濟部智慧財產局

CERTIFIED COPY OF INTELLECTUAL PROPERTY OFFICE  
PRIORITY DOCUMENT MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2000 年 01 月 11 日  
Application Date

申請案號：089100331  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

BEST AVAILABLE COPY

局長

Director General

蔡練生

發文日期：西元 2004 年 1 月 23 日  
Issue Date

發文字號：09321038  
Serial No.

## 公 告 本

|       |            |     |          |
|-------|------------|-----|----------|
| 申請日期: | 89/1/11    | 案號: | 89100331 |
| 類別:   | H01L 23/60 |     |          |

(以上各欄由本局填註)

## 發明專利說明書

457689

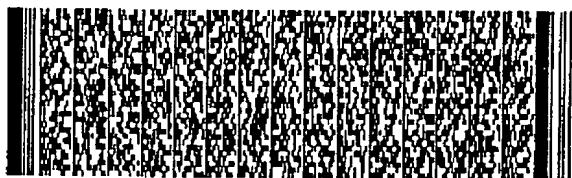
|                   |                    |                              |
|-------------------|--------------------|------------------------------|
| 一<br>發明名稱         | 中文                 | 高電流靜電放電防護電路                  |
|                   | 英文                 |                              |
| 二<br>發明人          | 姓名<br>(中文)         | 1. 陳偉梵                       |
|                   | 姓名<br>(英文)         | 1. Wei-Fan Chen              |
|                   | 國籍                 | 1. 中華民國                      |
|                   | 住、居所               | 1. 台中市北區三民路三段89巷6號           |
| 三<br>申請人          | 姓名<br>(名稱)<br>(中文) | 1. 華邦電子股份有限公司                |
|                   | 姓名<br>(名稱)<br>(英文) | 1. Winbond Electronics Corp. |
|                   | 國籍                 | 1. 中華民國                      |
|                   | 住、居所<br>(事務所)      | 1. 新竹科學工業園區研新三路四號            |
| 代表人<br>姓名<br>(中文) | 1. 焦佑鈞             |                              |
| 代表人<br>姓名<br>(英文) | 1.                 |                              |



## 四、中文發明摘要 (發明之名稱：高電流靜電放電防護電路)

本發明提出一種高電流觸發之ESD防護電路。本發明之ESD防護電路電耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流。該靜電放電防護電路包含有一第一導電形之基底、一第二導電形之井區、一第一導電形之第一摻雜區以及一第二導電形之第二摻雜區。該基底電耦合於該參考電位。該井區設於該基底上，且電耦合於該接點。該第一摻雜區電浮動的設於該井區表面。該第二摻雜區設於該基底上，且電耦合於該參考電位。其中，該接點上之ESD電流提供一電壓使該井區與該基底之間的接面崩潰，並觸發該井區、該基底以及該第二摻雜區所構成之側向雙接面電晶體，以釋放該靜電放電電流。該第一摻雜區於該靜電放電電流大於一預定電流時，用以降

英文發明摘要 (發明之名稱：)



457689

四、中文發明摘要 (發明之名稱：高電流靜電放電防護電路)

低該接點至該參考電位之電位差。

英文發明摘要 (發明之名稱：)



457689

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

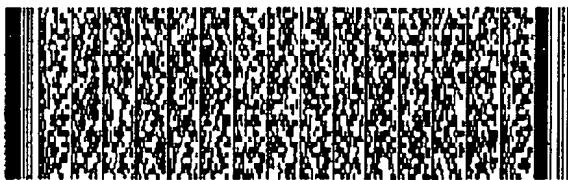
## 五、發明說明 (1)

本發明係有關於一種靜電放電(electrostatic discharge, ESD)防護電路，尤指一種高電流觸發之ESD防護電路，本發明之ESD防護電路一方面能提供良好的靜電放電防護，另一方面能避免ESD防護電路於正常操作時發生栓鎖(latch up)的現象。

一般而言，為了防護製作完成的半導體晶片免於受到外界帶靜電物品所產生的高電壓破壞，所以，現行的半導體晶片之輸出入埠以及電源埠之間均會設置有ESD防護電路。依照電路上的需求，ESD防護電路在一般正常的運作時，應該呈現開路的狀態，以使電源埠以及輸出入埠能維持正常工作；唯有ESD事件發生在ESD防護電路的一端時，ESD防護電路才呈現接近短路的狀態，用以將ESD電流釋放掉，以保護半導體晶片的內部電路。

習知的ESD防護電路大致上可以分成兩種，一種是以雙接面電晶體(bipolar transistor)為主要元件，另一種是以半導體控制整流器(semiconductor control rectifier, SCR)為主要元件。

ESD防護電路中的雙接面電晶體一般都是利用輸出埠中的MOS電晶體之源極/基底/汲極所產生之寄生的雙接面電晶體所構成。因為輸出埠的MOS電晶體必須要有很大的推力，所以寄生的雙接面電晶體也能夠在發生靜電放電事件時，排放掉大量的電流。但是，就輸入埠以及電源線間的ESD防護電路而言，如此的方法便會多增加非常大的晶片面積。而且，雙接面電晶體的持守電壓V<sub>h</sub>(holding



## 五、發明說明 (2)

voltage) 一般都比較高，大約為 7 伏特以上。因此，在大量的ESD 電流流通之下，將會在雙接面電晶體上產生高熱。如果ESD 電流只流經MOS 電晶體的局部區域，就很容易造成MOS 電晶體燒毀。因此，以雙接面電晶體為主的靜電防護電路之設計是非常不易的。

現行比較流行的ESD 防護電路是以SCR 為主要元件，取其低持守電壓 $V_h$ (~1.6 伏特)、低觸發電流以及耗用半導體晶片面積小的好處。但是，如此設計的ESD 防護電路於經歷系統層次(system-level) 的電磁共同(electromagnetic comparability, EMC) 之ESD 測試時會出現問題。EMC/ESD 測試時是在整個系統裝設好後，並且有提供電源之下，進行ESD 測試。當EMC/ESD 測試進行時，SCR 確實能使一個輸出入埠上之ESD 電流釋放掉。然而，電源一般都是大於3 伏特以上的電壓。如果，輸出入埠上的原本在EMC/ESD 測試前的電壓是接近電源的電壓(~3V)，那在EMC/ESD 測試完後，SCR 便會將輸出入埠上的電壓維持於持守電壓 $V_h$ (~1.6 伏特)，這便會導致整個系統上的當機，甚至燒毀掉部分的半導體晶片。

有鑑於此，本發明的主要目的，在於提供一種高電流觸發之ESD 防護電路，具有佔用半導體晶片之面積小、低持守電壓以及高觸發電流之特性，以解決上述之問題。

根據上述之目的，本發明提出一種高電流觸發之ESD 防護電路。本發明之ESD 防護電路電耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流。該



## 五、發明說明 (3)

靜電放電防護電路包含有一第一導電形之基底、一第二導電形之井區、一第一導電形之第一摻雜區以及一第二導電形之第二摻雜區。該基底電耦合於該參考電位。該井區設於該基底上，且電耦合於該接點。該第一摻雜區電浮動的設於該井區表面。該第二摻雜區設於該基底上，且電耦合於該參考電位。其中，該接點上之ESD電流提供一電壓使該井區與該基底之間的接面崩潰，並觸發該井區、該基底以及該第二摻雜區所構成之側向雙接面電晶體，以釋放該靜電放電電流。該第一摻雜區於該靜電放電電流大於一預定電流時，用以降低該接點至該參考電位之電位差。

就電路觀點而言，本發明另提供一種高電流觸發之靜電放電防護電路，耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流。本發明之靜電防護電路包含有一雙接面電晶體以及一第一導電形之第一摻雜區。該雙接面電晶體包含有一射極、一基極以及一集極。其中該射極與該基極均電耦合於該參考電位，該集極係以一第二導電形之集極區所構成且電耦合於該接點。該第一摻雜區，浮動的設於該集極區內，且與該集極區形成一接面。其中，該靜電放電電流使該基極與該集極之間的接面崩潰，觸發該側向雙接面電晶體，以釋放該靜電放電電流。其中，該第一摻雜區於該靜電放電電流大於一預定電流時，用以降低該接點至該參考電位之電位差。

當ESD事件發生於該接點上時，該基極與該集極之間的接面會先崩潰，並且觸發該雙接面電晶體。然後將該接



## 五、發明說明 (4)

點上的電位維持在一第一箝制電位。如果電流持續增加到一預定電流以上，該浮動之第一摻雜區會一起加入作用，而把該接點上的電位維持在一更低的第二箝制電位。該第一箝制電位以及該預定電流可以隨佈局的變化而加以調整，而第二箝制電位大約等於1.6伏特。

相同的道理，本發明另提供一種高電流觸發之靜電放電防護電路。本發明之靜電放電防護電路電耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流。該靜電放電防護電路包含有一第一導電形之基底、一第二導電形之井區、一第一導電形之第一摻雜區以及一第二導電形之第二摻雜區。該基底電耦合於該參考電位。該井區，設於該基底上，且電耦合於該接點。該第一摻雜區，設於該井區表面，且電耦合於該接點。該第二摻雜區，電浮動的設於該基底上。

就電路觀點而言，本發明另提供一種高電流觸發之靜電放電防護電路，耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流，該靜電防護電路包含有一雙接面電晶體以及一第二導電形之第二摻雜區。該雙接面電晶體包含有一射極、一基極以及一集極。該射極與該基極均電耦合於該接點，該集極係以一第一導電形之集極區所構成且電耦合於該參考電位。該第二摻雜區浮動的設於該集極區內，且與該集極區形成一接面。

第一導電型可以是n型，而第二導電型則是p型；相對的，如果第一導電型可以是p型，而第二導電型則是n型。



## 五、發明說明 (5)

本發明之第一優點在於ESD防護電路之面積很小。因為第二箝制電位相當的低，所以，在ESD防護電路上消耗的功率便可以相當的小，ESD防護電路佔用的面積便可以很小而不至於燒毀掉其中的元件。

本發明之第二優點在於EMC/ESD測試時不會有栓鎖事件發生。只要第一箝制電位大於正常工作時的電位，並且使該預定電流大於EMC/ESD測試時的最大電流，則EMC/ESD測試時不會有栓鎖事件發生。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

## 圖式之簡單說明：

第1圖為本發明之ESD防護電路的第一實施例之晶片剖面示意圖；

第2A圖以及第2B圖均為第1圖之電路示意圖；

第3圖為第1圖中之ESD防護電路以及習知的SCR所構成之ESD防護電路的電流電壓曲線圖；

第4圖為不同的第一摻雜區到第三摻雜區之間的距離之實驗數據所繪製的電流電壓曲線圖；

第5A圖以及第5B圖為本發明之ESD防護電路之第二實施例以及第三實施例；

第6A圖至第6C圖為本發明的ESD防護電路之第四實施例；



## 五、發明說明 (6)

第7A圖為本發明的ESD防護電路之第五實施例；

第7B圖為第7A圖之電路示意圖；

第8圖為第一導電型為n型以及第二導電型為p型時，本發明之ESD防護電路的實施例；

第9圖為浮動區設於基底時，本發明之ESD防護電路的實施例；

第10A圖以及第10B圖為第9圖的等效電路圖；

第11A圖以及第11B圖為兩種降低第9圖中的ESD防護電路之觸發電壓的實施例；

第12A圖以及第12B圖為兩種以n型MOS電晶體降低第9圖中的ESD防護電路之觸發電壓的實施例；

第13A圖至第13D圖為井區與基底之接面上設置一個p型第六摻雜區的實施例；以及

第14圖為第一導電型為n型以及第二導電型為p型時，本發明之ESD防護電路的另一實施例。

符號說明：

10、40~接點；

12、42~基底；

14、44~井區；

16、46~第一摻雜區；

18、48~第二摻雜區；

20、50~第三摻雜區；

22、52~第四摻雜區；

28、58~第五摻雜區；



## 五、發明說明 (7)

30、60~場氧化層；

78~第六摻雜區。

## 實施例：

請參閱第1圖，第1圖為本發明之ESD防護電路的第一實施例之晶片剖面示意圖。本發明提供一ESD防護電路，用以釋放接點10上的ESD電流至一參考電位，如第1圖中的VSS。ESD防護電路包含有一第一導電形之基底12、一第二導電形之井區14、一第一導電形之第一摻雜區16、一第二導電形之第二摻雜區18以及一第二導電形之第三摻雜區20以及一第一導電形之第四摻雜區22。為了解說上方便，第一導電形為p形，而第二導電形為n形。基底12透過第四摻雜區22，電耦合於參考電位VSS。也就是，第四摻雜區22設於基底12的表面，作為基底12的歐姆接觸，並且第四摻雜區22電耦合於參考電位VSS。井區14透過第三摻雜區20，電耦合於接點10。也就是，第三摻雜區20設於井區14之內，作為井區14的歐姆接觸，並且第三摻雜區20電耦合於接點10。第一摻雜區16電浮動的設於井區14的表面。第一摻雜區16、井區14以及基底12便構成了一個垂直的pnp雙接面電晶體。第二摻雜區18設於基底12表面，且電耦合於參考電位VSS。井區14、基底12以及第二摻雜區18便構成了一個側向npn雙接面電晶體。而基底12中包含了一個寄生的電阻R-sub，相對的井區14也包含了一個寄生的電阻R-well，如第1圖所示。



## 五、發明說明 (8)

請參閱第2A圖以及第2B圖，第2A圖以及第2B圖均為第1圖之電路示意圖。由電路上的觀點而言，井區14(集極區)、基底12以及第二摻雜區18分別構成側向npn雙接面電晶體的集極(collector)、基極(base)以及射極(emitter)。集極透過電阻R-well電耦合於接點10，基極透過電阻R-sub電耦合於參考電位VSS，射極則直接電耦合於參考電位VSS。垂直的pnp雙接面電晶體之集極與基極分別電耦合於側向npn雙接面電晶體之基極與集極，且垂直的pnp雙接面電晶體之射極沒有接到任何的接點，呈現浮動的狀態，如第2A圖所示。以另一種角度而言，電阻R-well到垂直的pnp雙接面電晶體的射極之間有一個逆向的二極體，如第2B圖所示。

請參閱第3圖，第3圖為第1圖中之ESD防護電路以及習知的SCR所構成之ESD防護電路的電流電壓曲線圖(IV curve)。第3圖中的實線表示第1圖中的ESD防護電路的IV曲線圖。當第1圖中的第一摻雜區16直接電耦合於接點10時，整個電路就變成習知以SCR構成的ESD防護電路，而虛線就是表示以SCR構成之ESD防護電路的IV曲線圖。SCR之IV曲線圖已經是習知的結果，在此不再多述。而本發明的ESD防護電路之IV曲線和習知的SCR之結果不同，在此分做I、II、III以及IV之區段解釋。

第I區段和習知的SCR之I-V曲線一樣，當接點10之電位到達井區14與基底12之間接面的崩潰電壓(也就是觸發電位V<sub>t</sub>)時，側向npn雙接面電晶體便被接面漏電流所觸



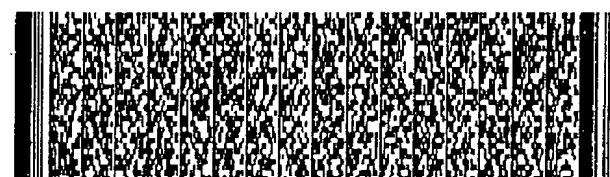
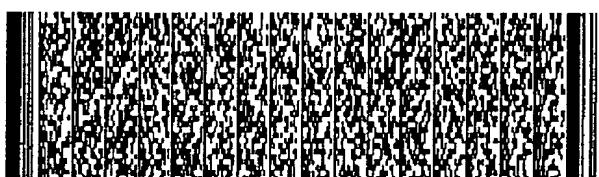
## 五、發明說明 (9)

發，電流開始隨著電壓而上昇。第II區段的實際物理原理尚未清楚，一種可能的原因是第一摻雜區16和第三摻雜區20開始導通並產生一個寄生的SCR，但是寄生的SCR所需的總電流增益(current gain)  $\beta$  並未到達1，所以接點10之電位被箝制於一個第一箝制電位Vh1，如第II區段所示。

因為箝制時，本發明大致上僅有一個側向npn雙接面電晶體導通，而SCR是兩個雙接面電晶體導通，所以第一箝制電位Vh1會比SCR的箝制電位Vh-SCR高。

當電流大於一預定電流IL時，井區14便會形成高注入狀態(high injection status)，也就是井區14內的電子電洞之濃度乘積已經大於本質濃度(intrinsic concentration)之平方。此時，大量的電子電洞形成在第一摻雜區16以及井區14之間的接面上，接面的電隔絕效果漸漸地降低，寄生的SCR之電流增益  $\beta$  也逐漸接近1，所以接點10上的電位便漸漸地下降，如第3圖中的第III區段所示。當大量電流由井區14流入第一摻雜區16，第一摻雜區16對井區14的壓降可能大於0.7伏特並且觸發了垂直pnp雙接面電晶體導通。在垂直pnp雙接面電晶體與側向npn雙接面電晶體均導通下，本發明之ESD防護電路可以將接點10之電位箝制在一個很低的第二箝制電位，大約是1.6伏特，如第IV區段所示。而發生第III區段所需的預定電流IL可以經由經驗值以及佈局來控制。

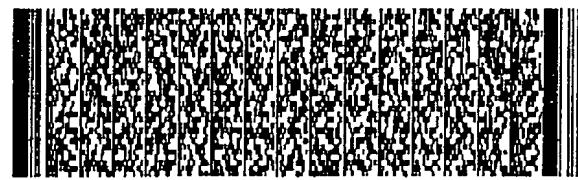
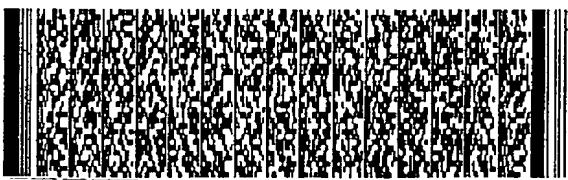
請參閱第4圖，第4圖為根據四組實驗資料所繪製的示意圖。四組實驗資料所產生的曲線分別是L1、L2、L3以及



## 五、發明說明 (10)

L4。產生L1、L2以及L3曲線的ESD防護電路中的第一摻雜區16到第三摻雜區20之間的距離分別為1um、2um以及3um，而L4曲線為沒有第一摻雜區16的ESD防護電路之結果。L4曲線可以明顯的看出來是一個單純的雙接面電晶體之射極與基極接地後對集極的IV曲線。曲線L1至L3的趨勢可以解釋如下。當第一摻雜區16到浮動的第三摻雜區20之間的距離越遠，意味著第一摻雜區16和第三摻雜區20的導通機會越低，也就是需要更多的電流才可以使第一摻雜區16和第三摻雜區20，如第4圖的右半邊所示。同時，當第一摻雜區16到浮動的第三摻雜區20之間的距離越遠，意味著R-well越大，也就是說需要更小的電流便可以使第一摻雜區16和第三摻雜區20之間的壓降到達0.7伏特以觸發SCR，如第4圖的左半邊所示。

本發明之ESD防護電路有兩個可以控制的參數，第一箝制電位Vh1以及預定電流IL。一種建議的狀態是使第一箝制電位Vh1大於晶片正常運作時電源的供應電位，而預定電流IL則介於一般ESD測試電流以及EMC/ESD測試時的最大電流之間。如此，當進行EMC/ESD測試時，本發明之ESD防護電路可以經由第I區段以及第II區段將ESD電流釋放掉，且當EMC/ESD測試後，因為電源電位小於第一箝制電位Vh1，所以ESD防護電路將會回到關閉的裝態。當進行人體模式(human body mode)以及機台模式(machine mode)之一般ESD測試時，大量的電流可以透過IV曲線中的第IV區段釋放，提供良好的ESD防護。



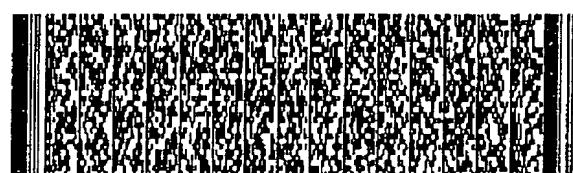
## 五、發明說明 (11)

請參閱第5A圖以及第5B圖，第5A圖以及第5B圖為本發明之ESD防護電路之第二實施例以及第三實施例。為了降低觸發電位 $V_t$ ，本發明另提供了兩種實施例，如第5A圖以及第5B圖所示。井區14和基底12所形成的接面上設有一個n形的第五摻雜區28。因為第五摻雜區28之摻雜濃度較井區14來的高，相對的，第五摻雜區28所形成的pn接面的崩潰電壓會較低，所以ESD防護電路整體的觸發電壓 $V_t$ 就可以降低。第5B圖則額外多加了一個場氧化層30，設在緊接第五摻雜區28之基底12表面。場氧化層30之下方的基底12通常會加重摻雜濃度，所以，場氧化層30的邊緣(edge)與第五摻雜區28交界處的pn接面的崩潰電壓會更低，所以觸發電壓 $V_t$ 也跟著降低。

請參閱第6A圖，第6A圖為本發明之ESD防護電路之第四實施例。本發明之ESD防護電路可以另包含有一MOS電晶體M1，M1設於基底12上，包含有一閘極以及二源/汲極。

其中，一源/汲極電耦合於井區14，另一閘極與閘極電耦合至參考電位VSS。譬如說，M1之一源/汲極以第五摻雜區28所構成，而M1之另一源/汲極以第二摻雜區18所構成，如第6A圖所示。而第6B圖以及第6C圖為第6A圖之等效電路圖。M1之一源/汲極在電路上有兩種表達方式，如第6B圖所示，一種是直接連接至接點10，另一種則是透過電阻R-well電耦合至接點10，如第6C圖所示。M1可以降低觸發電壓 $V_t$ ，這在習知技術中已廣為知曉，在此不多解釋。

請參閱第7A圖以及第7B圖，第7A圖為本發明之第五實



## 五、發明說明 (12)

施例，第7B圖為第7A圖之電路示意圖。M1之閘極可以用一RC延遲電路來判別ESD事件並觸發ESD防護電路，如第7A圖所示。ESD防護電路另包含有一電阻RG以及一電容CG。電阻RG之兩端分別電耦合於M1的閘極以及參考電位VSS，電容CG兩端分別電耦合於M1的閘極以及接點10。至於電路圖僅僅是第6B圖或第6C圖再加上一個RC延遲電路，如第7B圖所示。當ESD事件發生於接點10時，因為電容CG的電耦合作用，M1之閘極電位會被提高，進而提早觸發側向npn雙接面電晶體導通而釋放ESD電流。

當然的，第一導電型是n型或p型半導體的使用僅僅是工程師的選擇，第1圖至第7圖是第一導電型為p型以及第二導電型為n型的實施例，第8圖為第一導電型為n型以及第二導電型為p型的實施例。如第8圖所示，本發明之靜電防護電路包含了一個n型的基底12b、一p型的井區14b、一n型之第一摻雜區16b、一p形之第二摻雜區18b以及一p形之第三摻雜區20b以及一n形之第四摻雜區22b。第一摻雜區16b、井區14b以及基底12b構成了一個npn雙接面電晶體。井區14b、基底12b以及第二摻雜區18b構成了一個pnp雙接面電晶體。第一摻雜區16b依然是浮動的。井區14b透過第三摻雜區20b耦合於接點10b。第二摻雜區18b耦合於一參考電位VDD。基底12b透過第四摻雜區22b耦合於參考電位VDD。這樣的安排也可以達到ESD防護電路的需求。

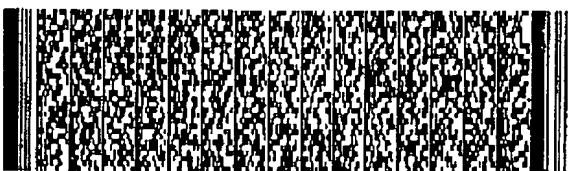
本發明另提供一種ESD防護電路來實現集極區加上一個電性相反的浮動區之概念，如第9圖所示。本發明之靜



## 五、發明說明 (13)

電放電防護電路電耦合於一接點40以及一參考電位VSS，用以釋放從接點40上產生之靜電放電電流。靜電放電防護電路包含有一p形之基底42、一n形之井區44、一p形之第一摻雜區46、一n形之第二摻雜區48、一n形之第三摻雜區50以及一p形之第四摻雜區52。基底42透過第四摻雜區52所形成的歐姆接觸，電耦合於參考電位VSS。井區44設於基底42上，且電耦合於接點40。第一摻雜區46設於井區44表面，且透過第三摻雜區50所形成的歐姆接觸，電耦合於接點40。第二摻雜區48，電浮動的設於基底42上。第一摻雜區46、井區44以及基底42分別構成一個pnp雙接面電晶體之射極、基極以及集極，所以基底42又稱為集極區。第二摻雜區48，浮動的設於該集極區內，且與該集極區形成一接面。第10A圖以及第10B圖為第9圖的等效電路圖。如此的ESD防護電路也可以達成第3圖之IV曲線結果，其功能已經在之前的例子解釋了，在此不在多述。

當然的，為了降低ESD防護電路的觸發電壓 $V_t$ ，第9圖之ESD防護電路可以有許多種變化。第一種變化是於井區44與基底42所形成的接面上設置一個n型的第五摻雜區58，如第11A圖所示。因為第五摻雜區58的濃度較高，所以所形成的接面之崩潰電壓較低。第二種變化是於第五摻雜區58旁設置一個場氧化層60，如第11B圖所示。場氧化層60下的基底42通常會加重摻雜濃度，因此場氧化層60的邊緣處(也就是與第五摻雜區58的交界處)的崩潰電壓會更為降低。第三種變化是則是於基底42上設置一個n型MOS電

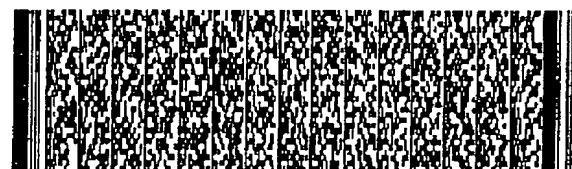
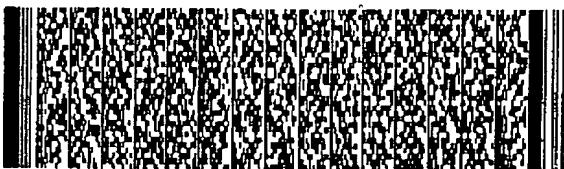


## 五、發明說明 (14)

晶體，如第12A圖所示。n型MOS電晶體的閘極60耦合至參考電位VSS。一個源/汲極即為第五摻雜區58，透過井區44，耦合至接點40。n型MOS電晶體的源/汲極對基極(substrate)的崩潰電壓較井區44對基底42的崩潰電壓為低已經是業界所習知的狀態了，所以第12A圖的安排可以降低ESD防護電路的觸發電壓Vt。而n型MOS電晶體的閘極60也可以不直接接參考電位VSS，而是透過一個電阻RG才接到參考電位VSS，並且閘極60與接點40間設置有一個電容CG，如第12B圖所示。電容CG和電阻RG所組成的RC電路可以用以偵測接點40上的ESD事件，然後提供閘極60一個電壓，用以觸發ESD防護電路。

如第13A所示，如果n型第五摻雜區58換成p型第六摻雜區78，降低ESD防護電路之觸發電壓的效果依然存在。

第六摻雜區78中的p型摻雜濃度較基底42高。所以第六摻雜區78與井區44所形成的接面之崩潰電壓也會較原本的基底42與井區44之間的接面之崩潰電壓來的低。同理，也可以設置一個場氧化層60於井區44的表面，且緊接於第六摻雜區78旁，如第13B圖所示。場氧化層60下的井區44多半會有較濃的摻雜以形成通道阻擋(channel stopper)，所以場氧化層邊緣之pn接面的崩潰電壓會較一般井區44表面之pn接面的崩潰電壓低。一個設於井區44中的p型MOS電晶體也可以降低本發明之ESD防護電路的觸發電壓，如第13C所示。p型MOS電晶體的閘極72耦合於接點40，p型MOS電晶體的兩個源/汲極分別是第一摻雜區46以

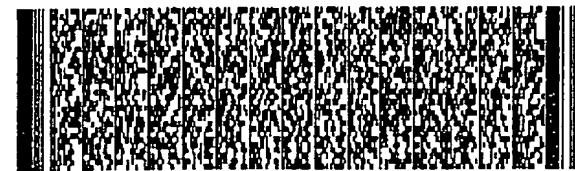
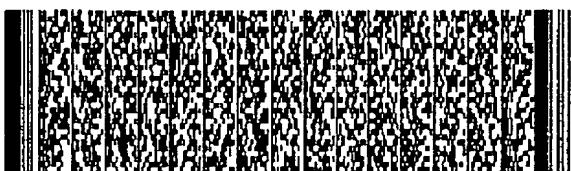


## 五、發明說明 (15)

及第六摻雜區78。RC延遲電路(RC delay circuit)也可以加入第13C圖中的電路中，作為偵測ESD事件的偵測器，如第13D所示。p型MOS電晶體的閘極72透過一個電阻RG耦合於接點40，而p型MOS電晶體之閘極與參考電位VSS之間則設置一個電容CG。當ESD事件一開始發生時，p型MOS電晶體之閘極會被電容CG耦合而處於一個較接低的電位，因而觸發整個ESD防護電路。

當然的，第一導電型是n型或p型半導體的使用僅僅是工程師的選擇，第9圖至第13圖是第一導電型為p型以及第二導電型為n型的實施例，第14圖為第一導電型為n型以及第二導電型為p型的實施例。如第8圖所示，本發明之靜電防護電路包含了一個n型的基底42b、一p型的井區44b、一n型之第一摻雜區46b、一p形之第二摻雜區48b、一p形之第三摻雜區50b以及一n形之第四摻雜區52b。第一摻雜區46b、井區44b以及基底42b構成了一個npn雙接面電晶體。井區44b、基底42b以及第二摻雜區48b構成了一個pnp雙接面電晶體。第二摻雜區48b依然是浮動的。井區44b透過第三摻雜區50b耦合於接點40b。第一摻雜區46b耦合於接點40b。基底52b透過第四摻雜區52b耦合於參考電位VDD。這樣的安排也可以達到ESD防護電路的需求。

總而言之，本發明之精神在於提供以一個雙接面電晶體為主要的ESD防護電路。雙接面電晶體可以是npn雙接面電晶體、也可以是pnp雙接面電晶體。而且，於雙接面電晶體的集極中，設置一個導電型和集極相反的浮動區，也



## 五、發明說明 (16)

就是一個浮動的二極體，來達到降低高電流時的箝制電位之目的。

相較於習知以SCR為主的ESD防護電路，本發明之第一箝制電位Vh1較電源電位來的高，所以可以避免掉以SCR為主的ESD防護電路所必須面對的栓鎖問題。相較於習知以雙接面電晶體為主的ESD防護電路，本發明於側向npn電晶體之集極區內多設置了一個浮動的第一摻雜區，所以在高電流的ESD測試時，能夠得到一個很低的第二箝制電位。

本發明之ESD防護電路的功率消耗可以降低，所以能以較小的晶片面積製作，並節省成本。

本發明雖以複數之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種高電流觸發之靜電放電防護電路，電耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流，該靜電放電防護電路包含有：

一第一導電形之基底，電耦合於該參考電位；

一第二導電形之井區，設於該基底上，且電耦合於該接點；

一第一導電形之第一摻雜區，電浮動的設於該井區表面；以及

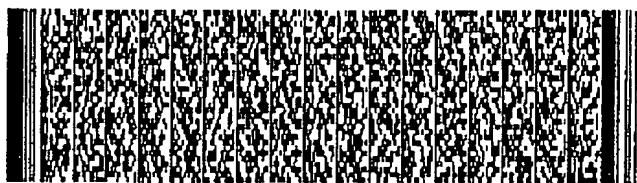
一第二導電形之第二摻雜區，設於該基底上，且電耦合於該參考電位；

其中，該接點上之靜電放電電流提供一電壓使該井區與該基底之間的接面崩潰，並觸發該井區、該基底以及該第二摻雜區所構成之側向雙接面電晶體，以釋放該靜電放電電流；

其中，該第一摻雜區於該靜電放電電流大於一預定電流時，用以降低該接點至該參考電位之電位差。

2. 如申請專利範圍第1項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第二導電形之第三摻雜區，設於該井區內，電耦合至該接點，作為該井區之歐姆接觸。

3. 如申請專利範圍第1項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形之第四摻雜區，設於鄰近該井區之該基底表面，電耦合至該參考電位，作為該基底之歐姆接觸。



## 六、申請專利範圍

4. 如申請專利範圍第1項之靜電放電防護電路，其中，該第一導電形係為p形，且該第二導電形係為n形。

5. 如申請專利範圍第1項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第二導電形之第五摻雜區，設於該井區與該基底形成之接面上，用以降低該井區與該基底之間的接面之崩潰電壓。

6. 如申請專利範圍第5項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一場氧化層，設於緊接於該第五摻雜區之基底表面。

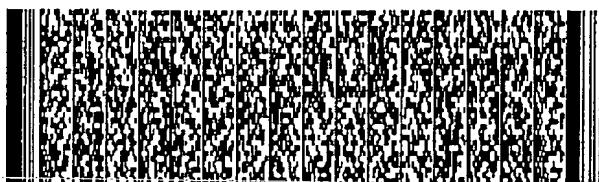
7. 如申請專利範圍第1項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形MOS電晶體，設於該基底上，包含有一閘極、以及二源/汲極，其中一源/汲極電耦合至該井區，另一源/汲極與該閘極係電耦合至該參考電壓。

8. 如申請專利範圍第4項之靜電放電防護電路，其中，該第一導電形MOS電晶體之一源/汲極係以該第五摻雜區所構成，且該第一導電形MOS電晶體之另一源/汲極係以該第二摻雜區所構成。

9. 如申請專利範圍第1項之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一第一導電形MOS電晶體，設於該基底上，包含有一閘極、以及二源/汲極，其中一源/汲極電耦合至該井區，另一源/汲極電耦合至該參考電電位；

一電阻，其兩端分別電耦合於該閘極與該參考電位；



## 六、申請專利範圍

以及

一電容，其兩端分別電耦合於該閘極與該接點。

10. 一種高電流觸發之靜電放電防護電路，耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流，其包含有：

一雙接面電晶體，包含有一射極、一基極以及一集極，其中該射極與該基極均電耦合於該參考電位，該集極係以一第二導電形之集極區所構成且電耦合於該接點；以及

一第一導電形之第一摻雜區，浮動的設於該集極區內，且與該集極區形成一接面；

其中，該靜電放電電流使該基極與該集極之間的接面崩潰，觸發該雙接面電晶體，以釋放該靜電放電電流；

其中，該第一摻雜區於該靜電放電電流大於一預定電流時，用以降低該接點至該參考電位之電位差。

11. 如申請專利範圍第10項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形MOS電晶體，包含有一閘極以及二源/汲極，其中一源/汲極電耦合至該集極，另一源/汲極與該閘極係電耦合至該參考電壓。

12. 如申請專利範圍第10項之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一第一導電形MOS電晶體，包含有一閘極以及二源/汲極，其中一源/汲極電耦合至該接點，另一源/汲極係電耦



## 六、申請專利範圍

合至該參考電電位；

一電阻，其兩端分別電耦合於該閘極與該參考電位；  
以及

一電容，其兩端分別電耦合於該閘極與該接點。

13. 如申請專利範圍第10項之靜電放電防護電路，其中，該第一導電形係為p形 技術 且該第二導電形係為n形。

14. 如申請專利範圍第1正~~1~~10項之靜電放電防護電路，其中，該第一導電形係為n形，且該第二導電形係為p形。

15. 一種高電流觸發之靜電放電防護電路，電耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流，該靜電放電防護電路包含有：

一第一導電形之基底，電耦合於該參考電位；

一第二導電形之井區，設於該基底上，且電耦合於該接點；

一第一導電形之第一摻雜區，設於該井區表面，且電耦合於該接點；以及

一第二導電形之第二摻雜區，電浮動的設於該基底上；

其中，該接點上之靜電放電電流提供一電壓使該井區與該基底之間的接面崩潰，並觸發該第一摻雜區、該井區以及該基底所構成之雙接面電晶體，以釋放該靜電放電電流：

其中，該第二摻雜區於該靜電放電電流大於一預定電流時，用以降低該接點至該參考電位之電位差。



## 六、申請專利範圍

16. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第二導電形之第三摻雜區，設於該井區內，電耦合至該接點，作為該井區之歐姆接觸。

17. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形之第四摻雜區，設於鄰近該井區之該基底表面，電耦合至該參考電位，作為該基底之歐姆接觸。

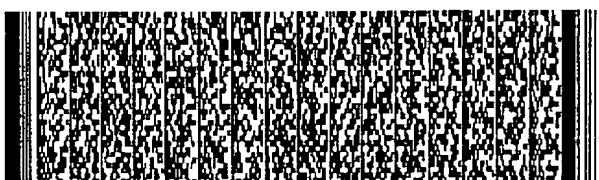
18. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第二導電形之第五摻雜區，設於該井區與該基底形成之接面上，用以降低該井區與該基底之間的接面之崩潰電壓。

19. 如申請專利範圍第18項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一場氧化層，設於緊接於該第五摻雜區之基底表面。

20. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形MOS電晶體，設於該基底上，包含有一閘極、以及二源/汲極，其中一源/汲極電耦合至該井區，另一源/汲極與該閘極係電耦合至該參考電壓。

21. 如申請專利範圍第18項之靜電放電防護電路，其中，該第一導電形MOS電晶體之一源/汲極係以該第五摻雜區所構成，且該MOS電晶體之另一源/汲極係以該第二摻雜區所構成。

洪



## 六、申請專利範圍

22. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一第一導電形MOS電晶體，設於該基底上，包含有一閘極、以及二源/汲極，其中一源/汲極電耦合至該井區，另一源/汲極電耦合至該參考電電位；

一電阻，其兩端分別電耦合於該閘極與該參考電電位；以及

一電容，其兩端分別電耦合於該閘極與該接點。

23. 如申請專利範圍第15項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形之第六摻雜區，設於該井區與該基底形成之接面上，用以降低該井區與該基底之間的接面之崩潰電壓。

24. 如申請專利範圍第23項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一場氧化層，設於緊接於該第六摻雜區之井區表面。

25. 如申請專利範圍第24項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第二導電形MOS電晶體，設於該井區上，包含有一閘極、以及二源/汲極，其中一源/汲極電耦合至該基底，另一源/汲極與該閘極係電耦合至該接點。

26. 如申請專利範圍第25項 ~~或第26項~~ 第16項之靜電放電防護電路，其中，該第二導電形MOS電晶體之一源/汲極係以該第六摻雜區所構成，且該MOS電晶體之另一源/汲極係以該第三摻雜區所構成。



## 六、申請專利範圍

27. 如申請專利範圍第23項之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一第二導電形MOS電晶體，包含有一閘極以及二源/汲極，其中一源/汲極電耦合至該接點，另一源/汲極係電耦合至該參考電電位；

一電容，其兩端分別電耦合於該閘極與該參考電位；以及

一電阻，其兩端分別電耦合於該閘極與該接點。

28. 如申請專利範圍第15項之靜電放電防護電路，其中，該第一導電形係為p形，且該第二導電形係為n形。

29. 如申請專利範圍第15項之靜電放電防護電路，其中，該第一導電形係為n形，且該第二導電形係為p形。

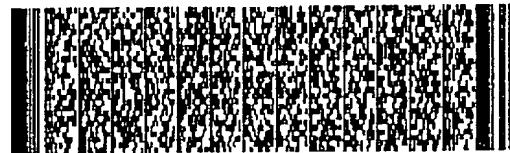
30. 一種高電流觸發之靜電放電防護電路，耦合於一接點以及一參考電位，用以釋放從該接點上產生之靜電放電電流，其包含有：

一雙接面電晶體，包含有一射極、一基極以及一集極，其中該射極與該基極均電耦合於該接點，該集極係以一第一導電形之集極區所構成且電耦合於該參考電位；以及

一第二導電形之第二摻雜區，浮動的設於該集極區內，且與該集極區形成一接面；

其中，該靜電放電電流使該基極與該集極之間的接面崩潰，觸發該雙接面電晶體，以釋放該靜電放電電流；

其中，該第二摻雜區於該靜電放電電流大於一預定電



## 六、申請專利範圍

流時，用以降低該接點至該參考電位之電位差。

31. 如申請專利範圍第30項之靜電放電防護電路，其中，該靜電放電防護電路另包含有一第一導電形MOS電晶體，包含有一閘極以及二源/汲極，其中一源/汲極電耦合至該集極，另一源/汲極與該閘極係電耦合至該參考電壓。

32. 如申請專利範圍第30項之靜電放電防護電路，其中，該靜電放電防護電路另包含有：

一第一導電形MOS電晶體，包含有一閘極以及二源/汲極，其中一源/汲極電耦合至該接點，另一源/汲極係電耦合至該參考電電位；

一電阻，其兩端分別電耦合於該閘極與該參考電位；以及

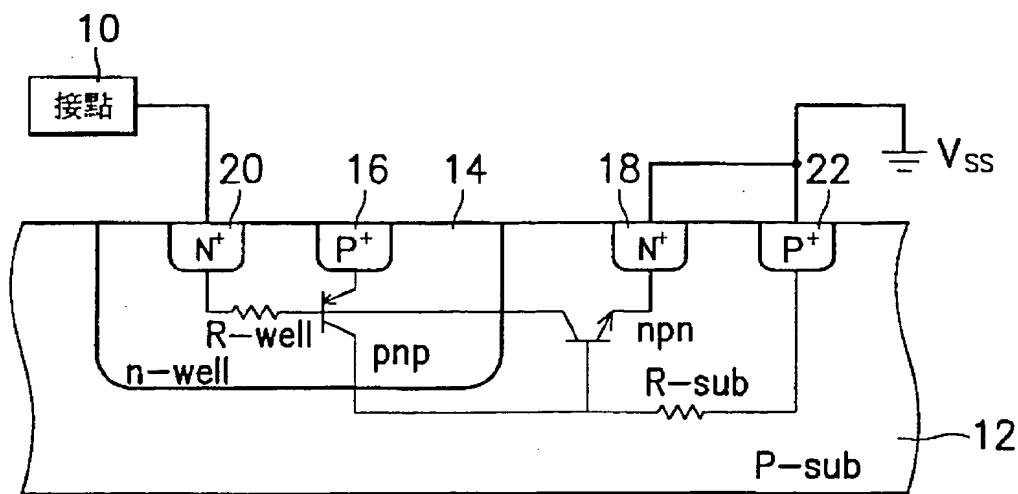
一電容，其兩端分別電耦合於該閘極與該接點。

33. 如申請專利範圍第30項之靜電放電防護電路，其中，該第一導電形係為p形，且該第二導電形係為n形。

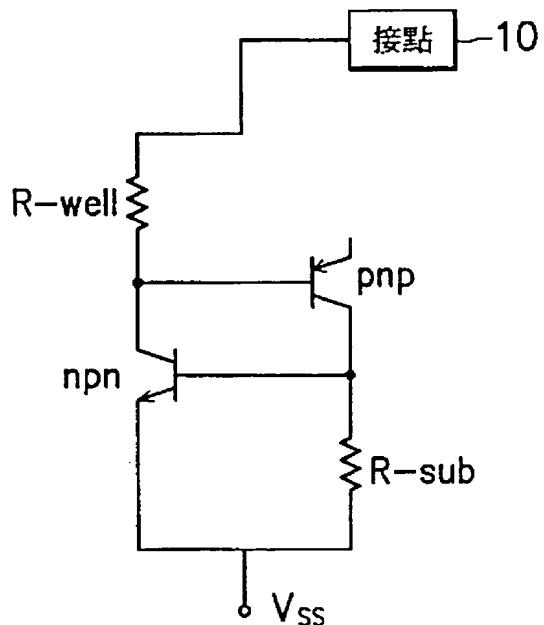


457689

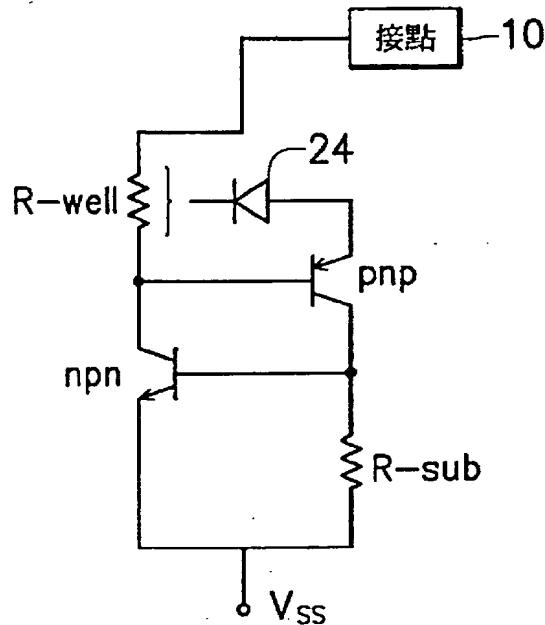
89100331



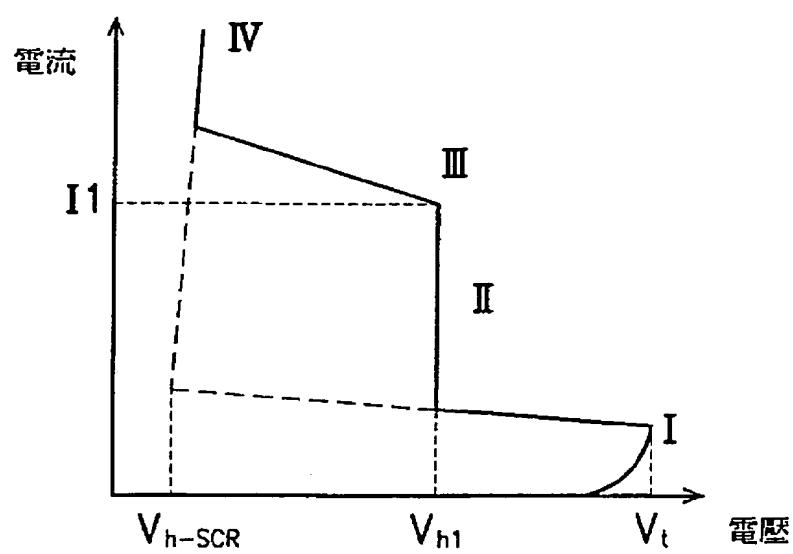
# 第 1 圖



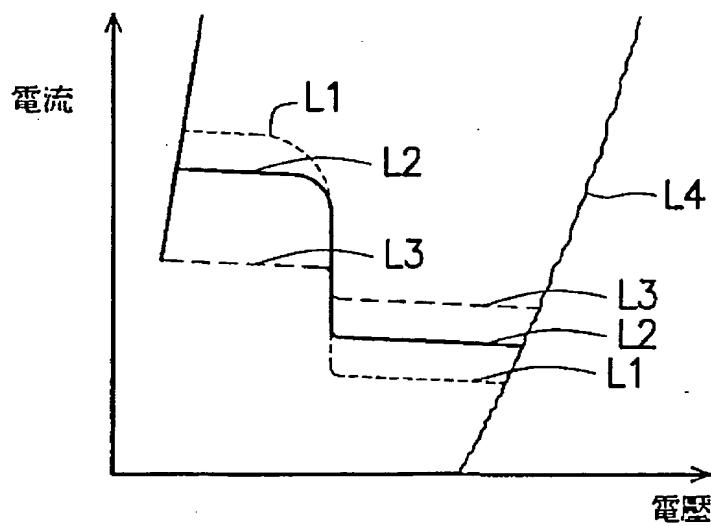
## 第2A圖



## 第2B圖

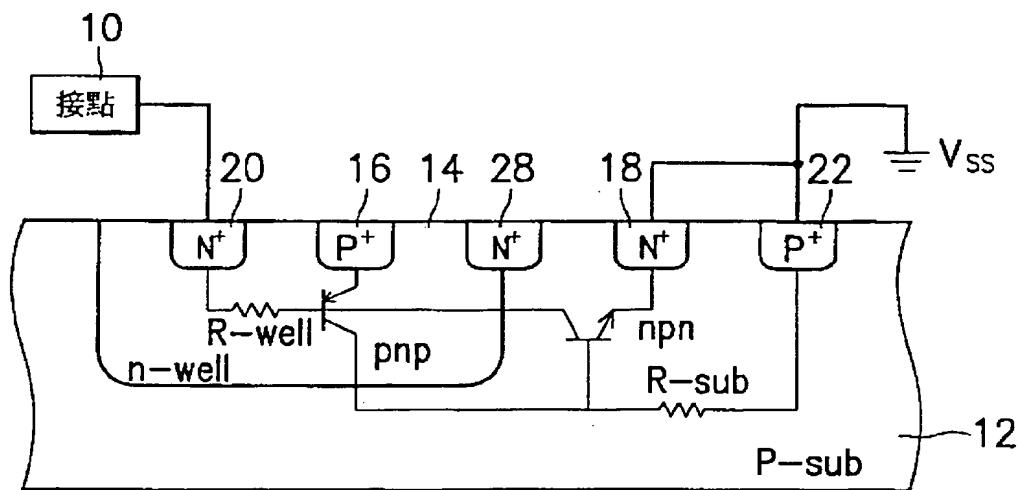


第 3 圖

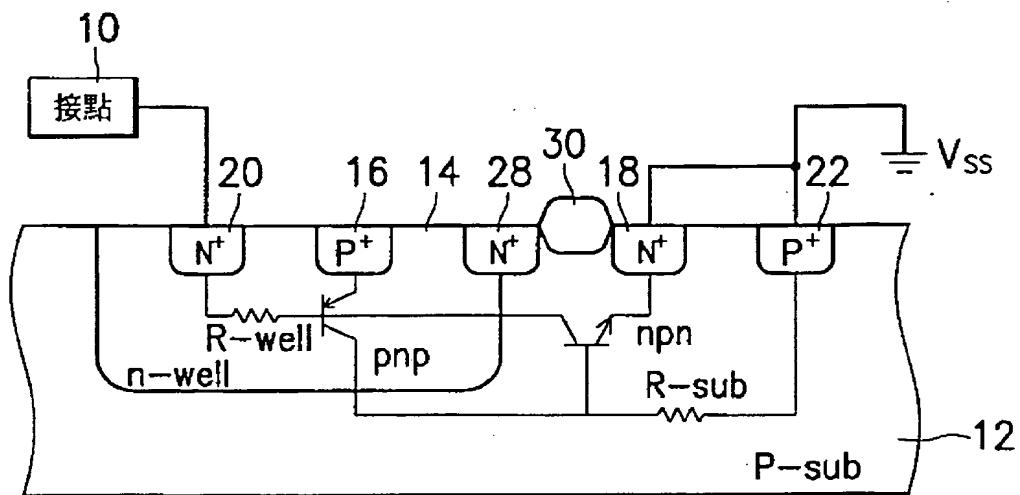


第 4 圖

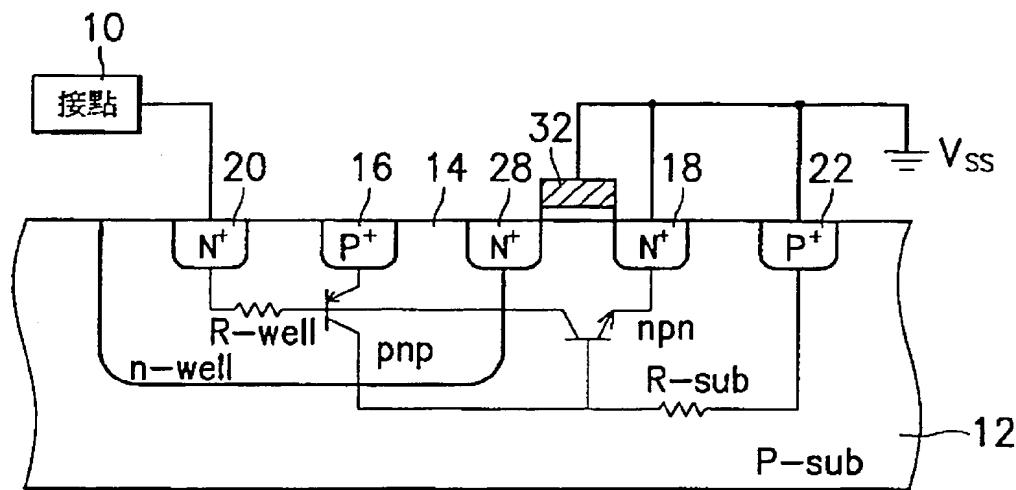
457689



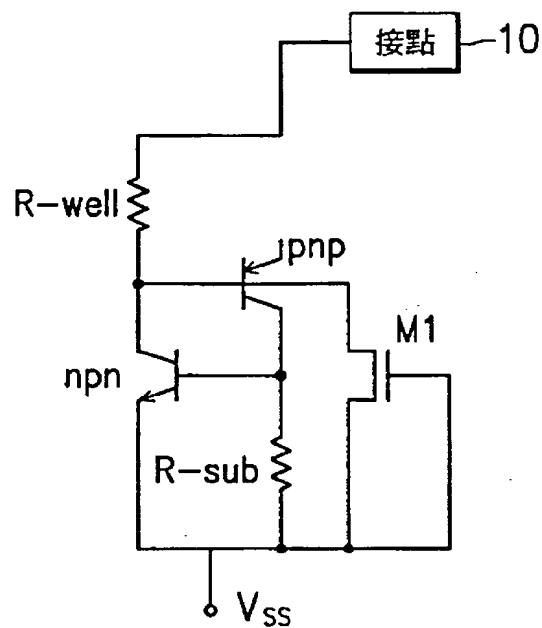
第 5A 圖



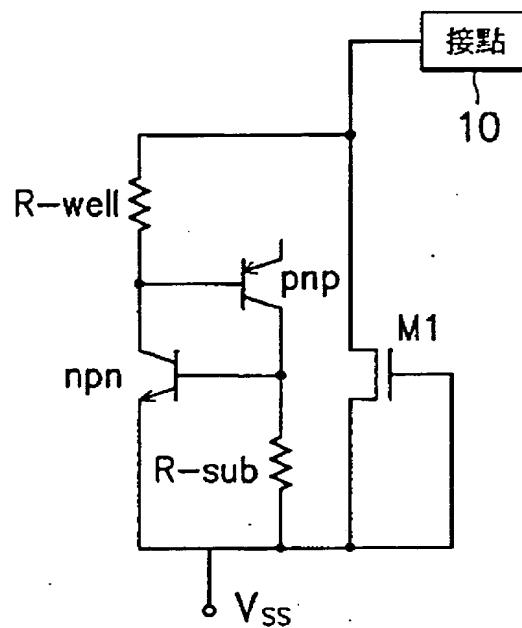
第 5B 圖



第 6A 圖

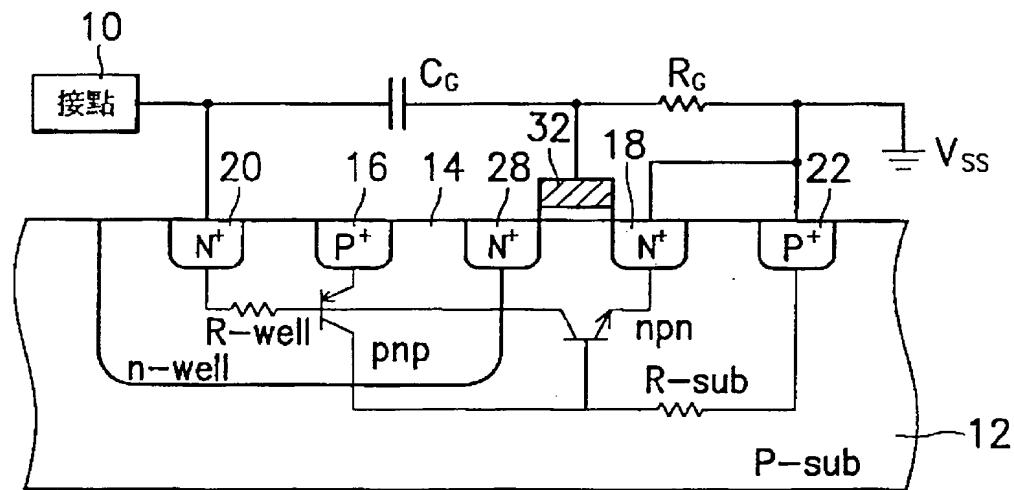


第 6B 圖

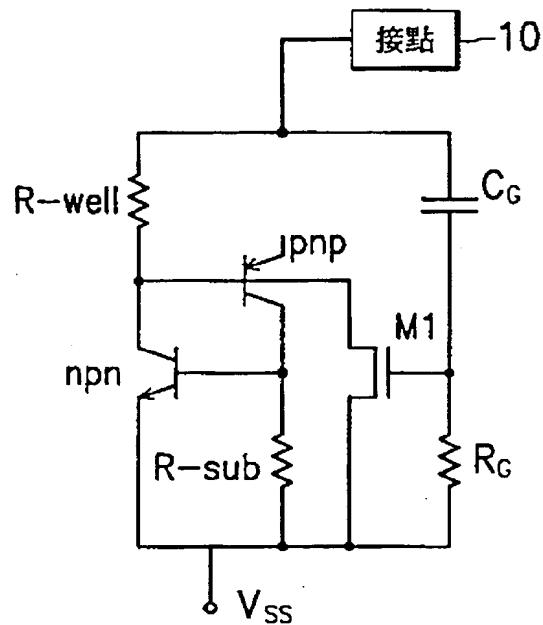


第 6C 圖

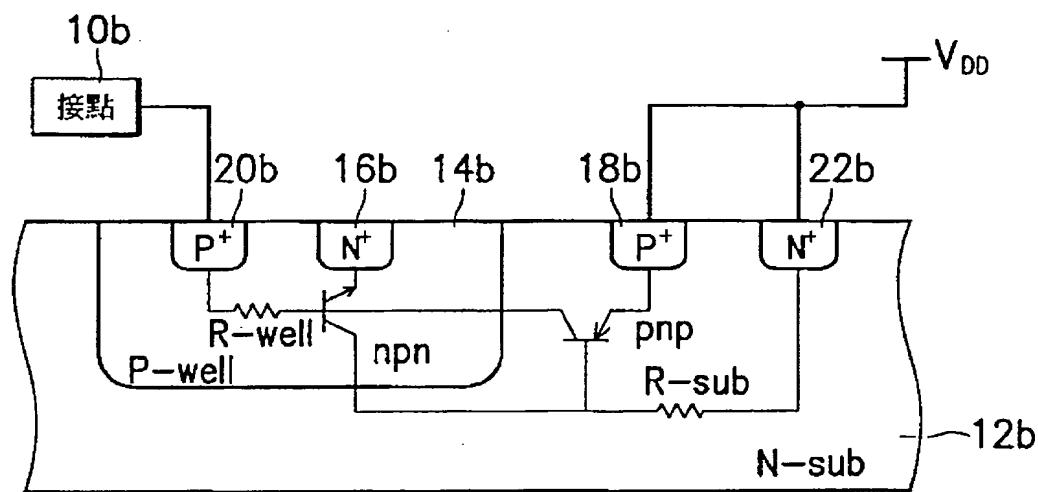
457689



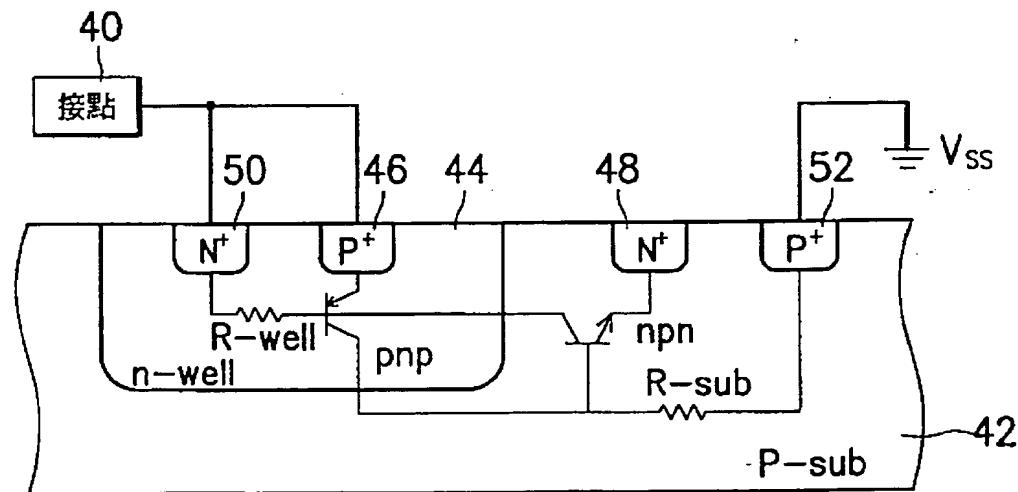
第 7A 圖



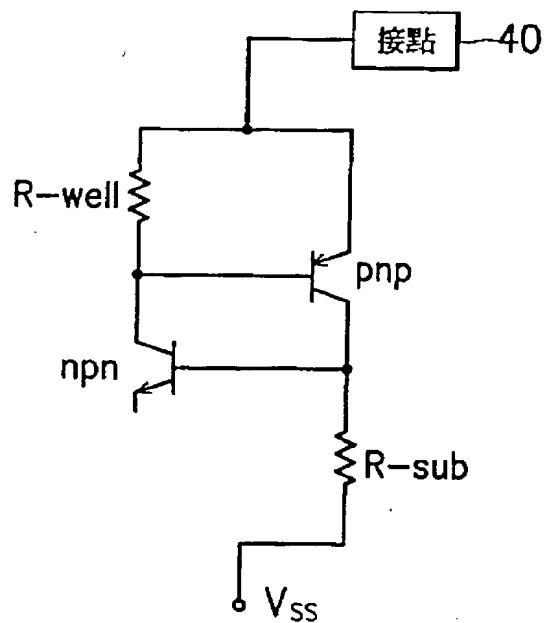
第 7B 圖



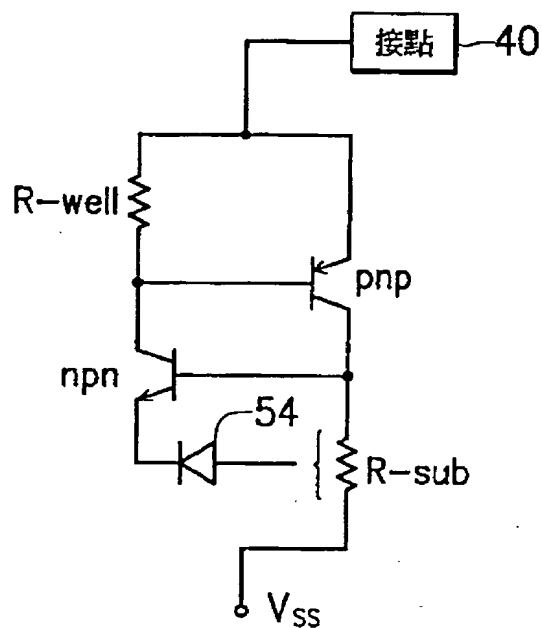
第 8 圖



第 9 圖

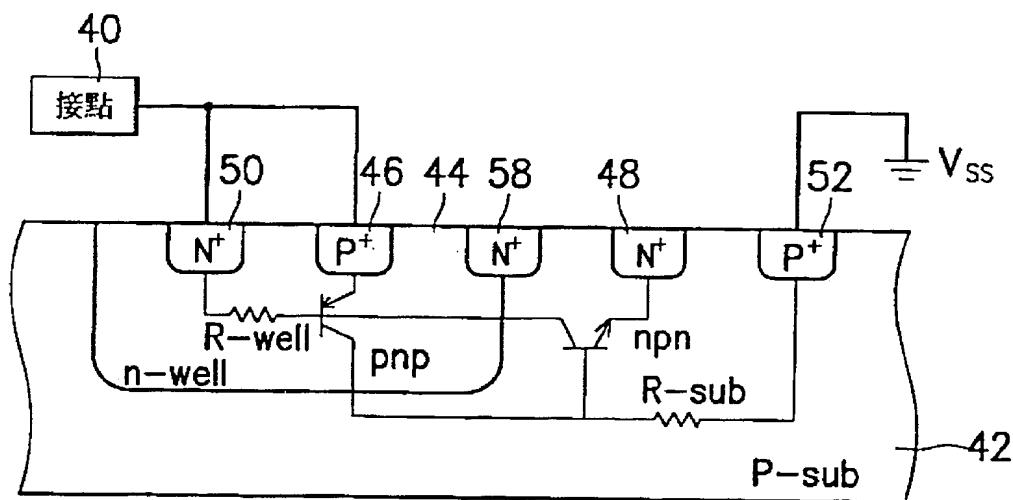


第10A圖

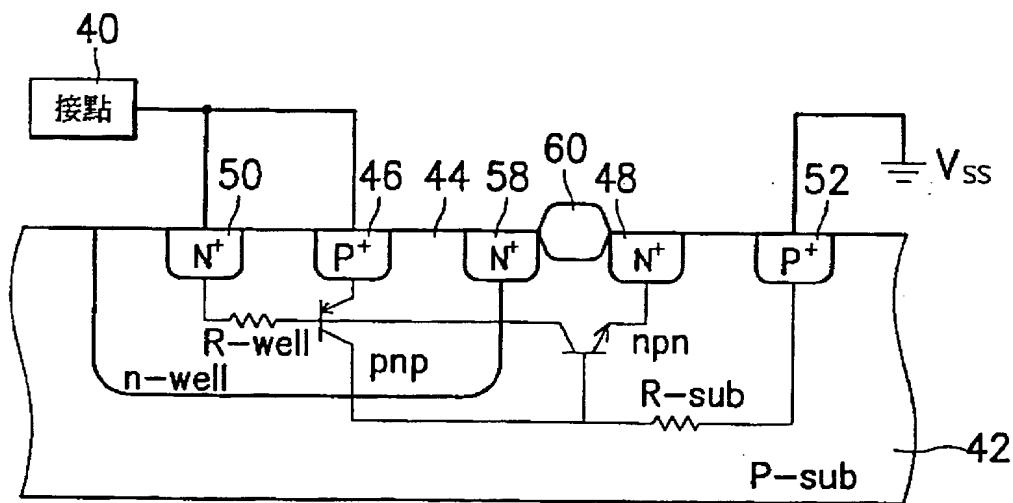


第10B圖

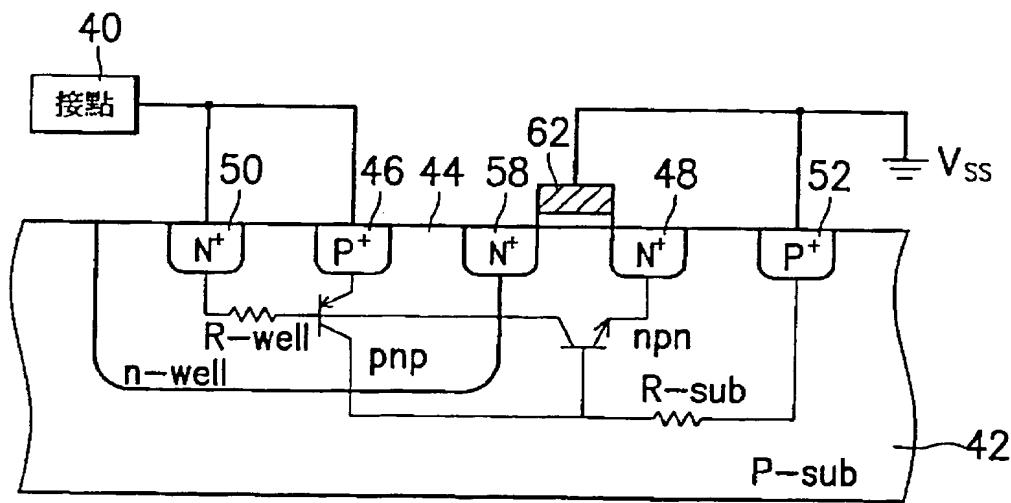
457689



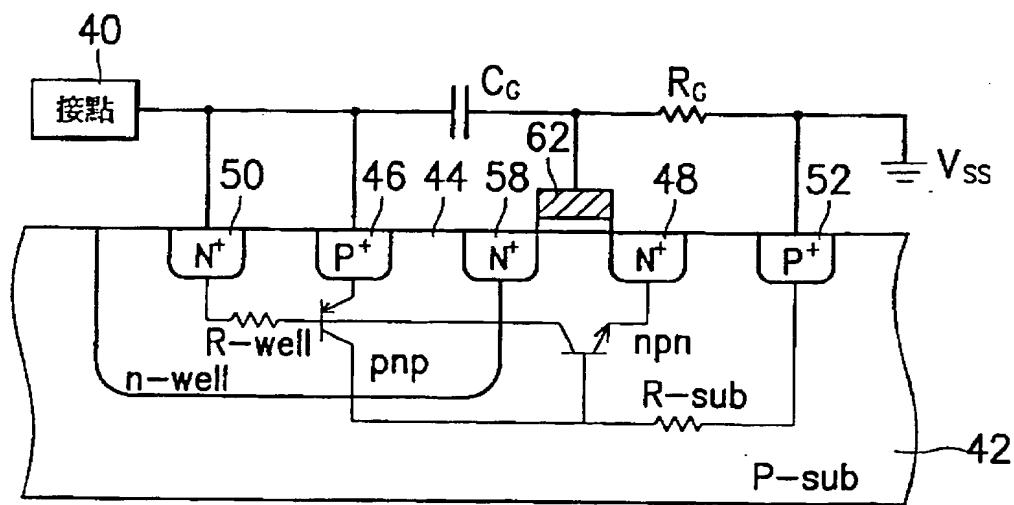
第11A圖



第11B圖

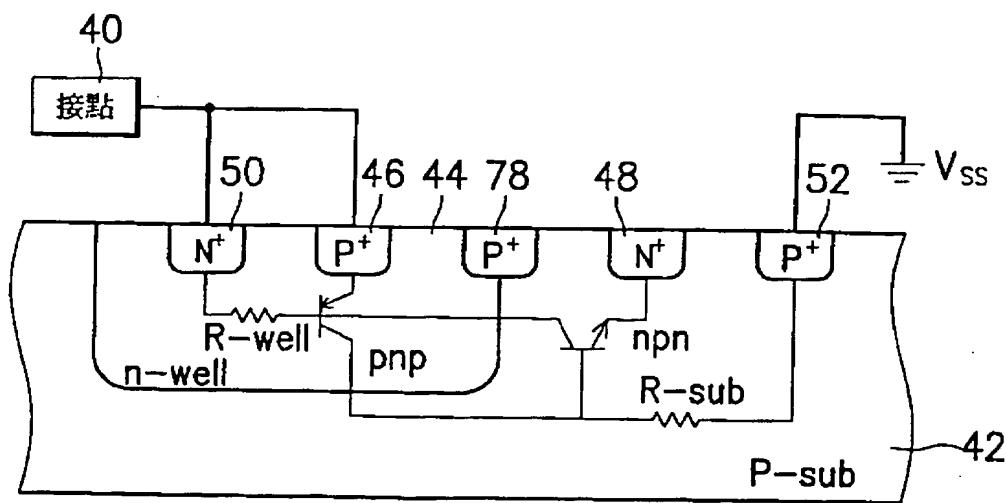


## 第12A圖

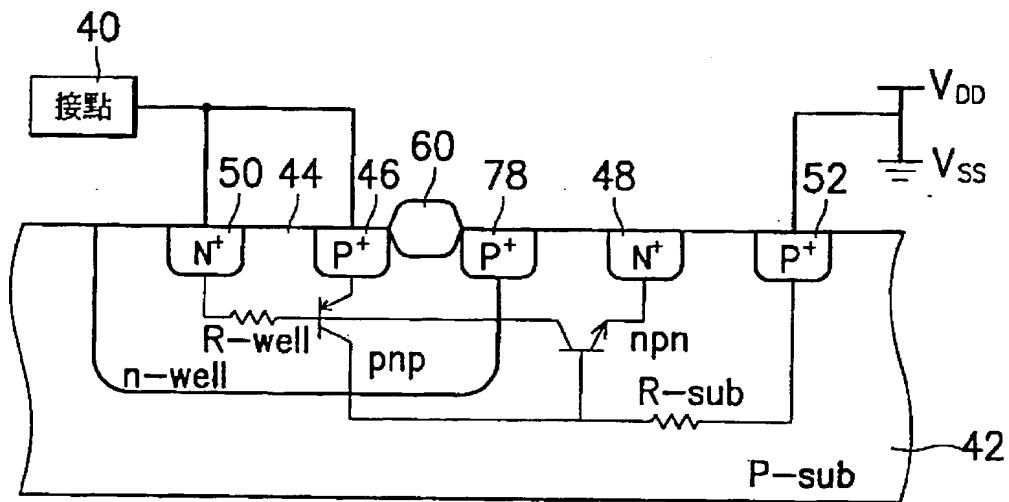


### 第12B圖

457689

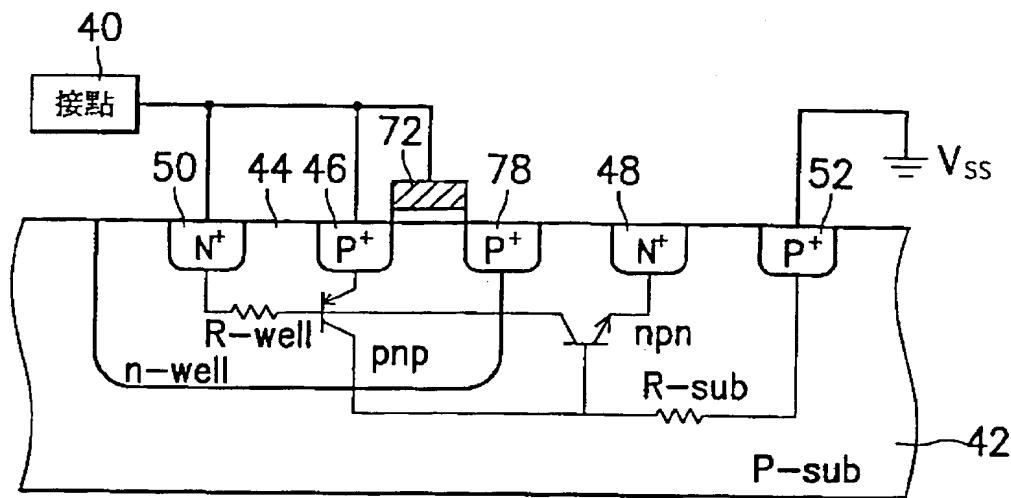


第13A圖

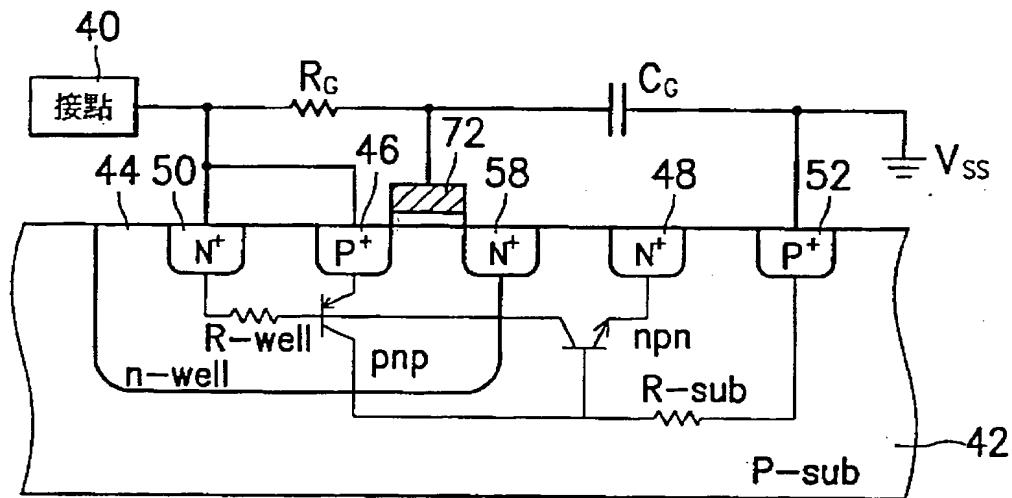


第13B圖

457689

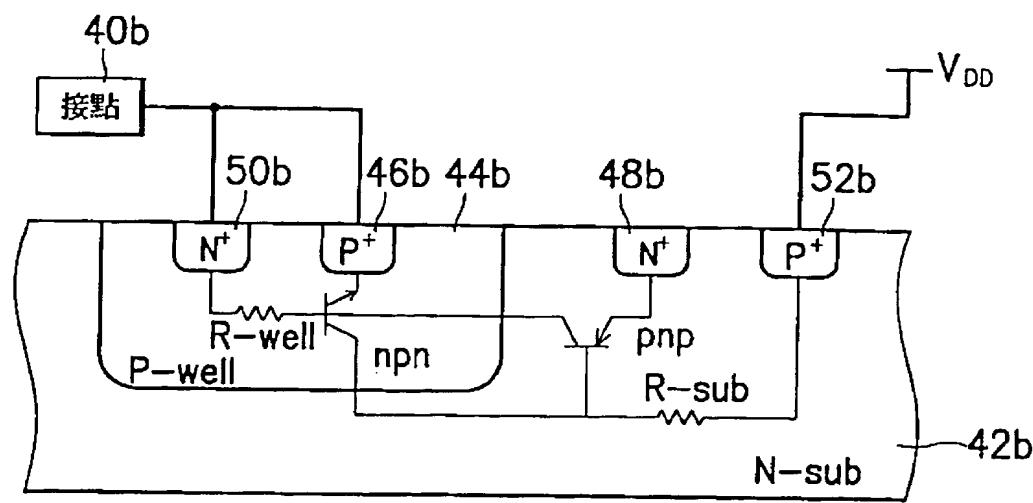


第13C圖



第13D圖

457689



第14圖